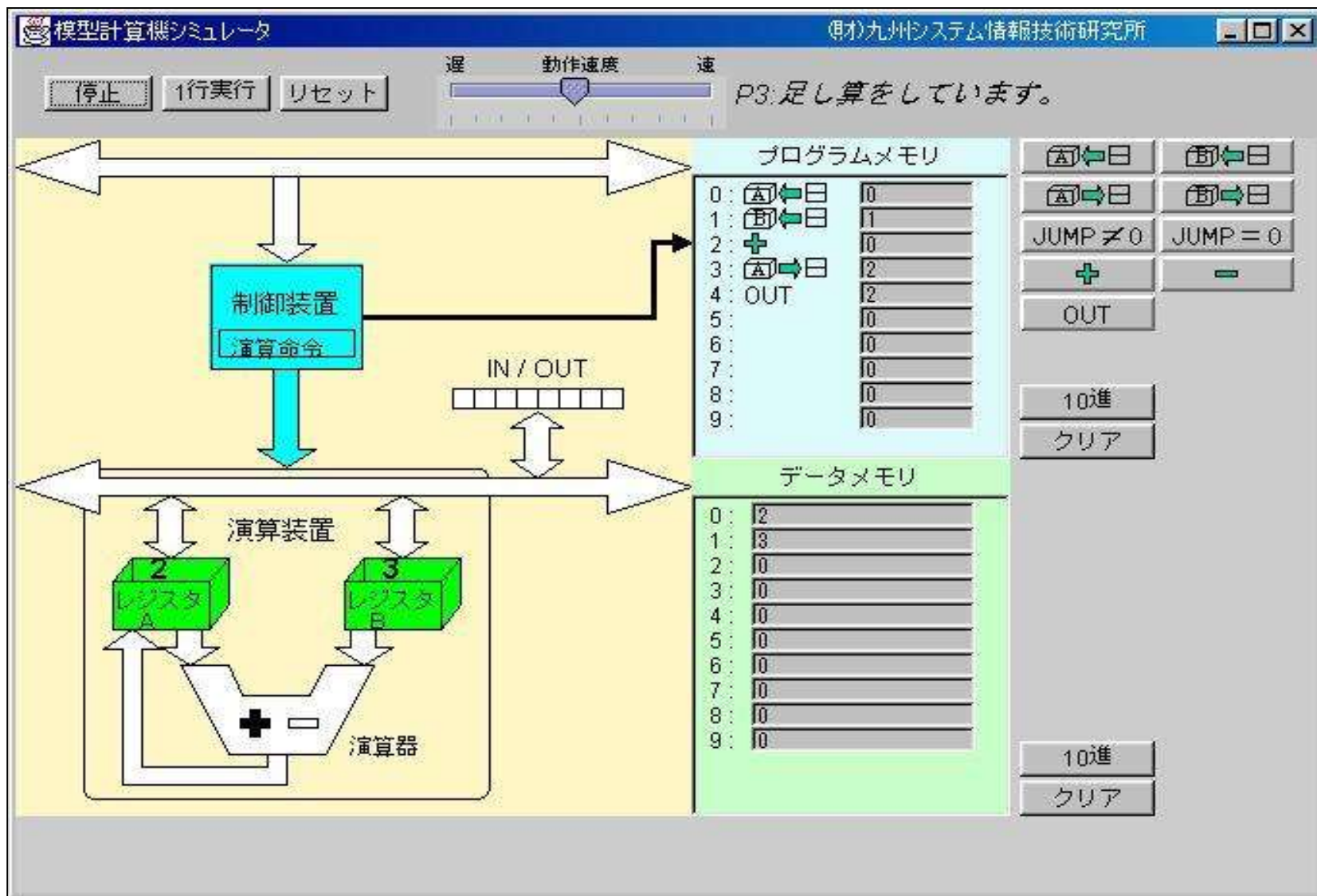


# 教育用計算機シミュレータ:スナップショット





# 教育用計算機シミュレータ: 計算機の五大装置(機能)

模型計算機シミュレータ (九州システム情報技術研究所)

遅 動作速度 速

停止 1行実行 リセット

P3: 足し算をしています。

**1. 制御装置**

制御装置  
演算命令

**2. 演算装置**

演算装置

レジスタ A (2)    レジスタ B (3)

演算器 (+, -)

IN / OUT

**3. 記憶装置**

プログラムメモリ

0:	AND ← 日	10
1:	AND ← 日	1
2:	+	10
3:	AND → 日	2
4:	OUT	2
5:		10
6:		10
7:		10
8:		10
9:		10

データメモリ

0:	2
1:	3
2:	10
3:	10
4:	10
5:	10
6:	10
7:	10
8:	10
9:	10

**4, 5. 入出力装置**

AND ← 日    AND ← 日

AND → 日    AND → 日

JUMP ≠ 0    JUMP = 0

+

-

OUT

10進

クリア

10進

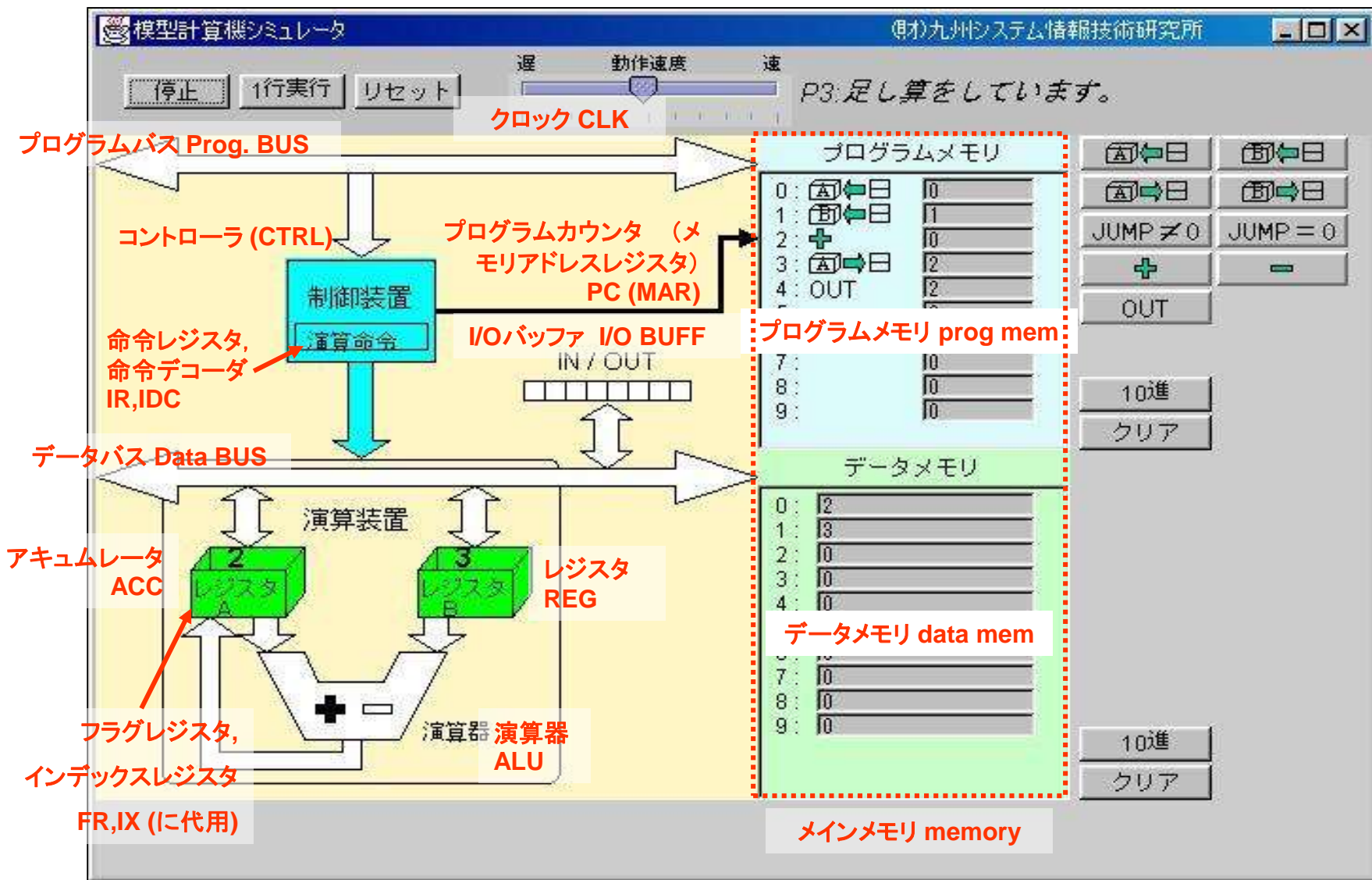
クリア

**プロセッサ**      **メモリ**



# 教育用計算機シミュレータ:最もシンプルな計算機モデル

## ロード/ストア・アーキテクチャ





# 教育用計算機シミュレータ: 簡単かつ単純な命令セット

## RISCベースの命令セット



ロード命令, ストア命令, 分岐命令, 演算命令と出力命令 (ロード命令の一種) の計5種類9個のみ

**固定長命令**

命令コード		説明
1語目	2語目	
LOAD_A	DATA addr	(Mem) → A
LOAD_B	DATA addr	(Mem) → B
STORE_A	DATA addr	(A) → Mem
STORE_B	DATA addr	(B) → Mem
ADD	不用	(A) + (B) → A
SUB	不用	(A) - (B) → A
OUT	DATA addr	(Mem) → OUT
JUMP_Z	PROG addr	(Mem) → PC (if (A) = 0)
JUMP_NZ	PROG addr	(Mem) → PC (if (A) ≠ 0)



アセンブリ言語  
(アイコン表示のニーモニック)





# 教育用計算機シミュレータ: 操作性, 表示機能

The screenshot shows a software window titled '模型計算機シミュレータ' (Model Computer Simulator) from the '九州システム情報技術研究所' (Kyushu System Information Technology Research Institute). The interface includes a control panel at the top with buttons for '停止' (Stop), '1行実行' (Execute 1 line), and 'リセット' (Reset), a clock speed slider, and a status window displaying 'P3: 足し算をしています。' (P3: Adding).

Overlaid text boxes provide the following descriptions:

- スタート/ストップ, ステップ実行, 初期化** (Start/Stop, Step Execution, Initialization): Points to the control buttons.
- クロックスピード可変 0.5[Hz]~200[Hz]程度** (Clock Speed Variable 0.5[Hz]~200[Hz] level): Points to the clock speed slider.
- 実行フェーズ毎の説明** (Explanation for each execution phase): Points to the status window.
- アニメーションによる表示** (Display by animation): Points to the data memory display.

The main simulation area is divided into several functional blocks:

- 制御装置 (Control Unit):** Contains the '演算命令' (Arithmetic Command) input.
- 演算装置 (Arithmetic Unit):** Features two registers, 'レジスタ A' (Register A) and 'レジスタ B' (Register B), and an '演算器' (Arithmetic Processor) with '+' and '-' symbols.
- データメモリ (Data Memory):** A vertical stack of memory cells, currently showing '0' in the top cell.
- IN / OUT:** A bus connecting the control and arithmetic units to the data memory.



# 教育用計算機シミュレータ:n進数表示と外部機器の制御

模型計算機シミュレータ (九州システム情報技術研究所)

停止 1行実行 リセット 遅 動作速度 速 P3: 足し算をしています。

**8ビット表示  
パラレルポート出力**

制御装置  
演算命令

IN / OUT

プログラムメモリ

0:	←→	0
1:	←→	1
2:	+	0
3:	←→	2
4:	OUT	2
5:		0
6:		0
7:		0
8:		0
9:		0

データメモリ

0:	2
1:	3
2:	0
3:	0
4:	0
5:	
6:	
7:	
8:	0
9:	0

演算装置

レジスタ A (2)

レジスタ B (3)

演算器 (+, -)

10進  
クリア

10進  
クリア

**10, 2, 16進数表示**